

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0075213
Application Number

출원년월일 : 2002년 11월 29일
Date of Application NOV 29, 2002

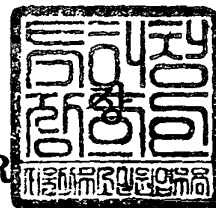
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 05 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.29
【발명의 명칭】	반도체 소자의 박막 형성 및 그 제어 방법
【발명의 영문명칭】	Method of forming and controlling a thin film in a semiconductor device
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	2001-032061-5
【발명자】	
【성명의 국문표기】	임정욱
【성명의 영문표기】	LIM, Jung Wook
【주민등록번호】	720320-1558425
【우편번호】	305-720
【주소】	대전광역시 유성구 신성동 대림두레아파트 108-1306
【국적】	KR
【발명자】	
【성명의 국문표기】	윤선진
【성명의 영문표기】	YUN, Sun Jin
【주민등록번호】	591022-2120420
【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 엑스포아파트 105-602
【국적】	KR
【발명자】	
【성명의 국문표기】	이진호
【성명의 영문표기】	LEE, Jin Ho
【주민등록번호】	571006-1683017

【우편번호】	305-333	
【주소】	대전광역시 유성구 어은동 한빛아파트 108-1803	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)	
【수수료】		
【기본출원료】	14 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	4 항	237,000 원
【합계】	266,000 원	
【감면사유】	정부출연연구기관	
【감면후 수수료】	133,000 원	
【기술이전】		
【기술양도】	희망	
【실시권 허여】	희망	
【기술지도】	희망	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 반도체 소자의 박막 형성 및 그 제어 방법에 관한 것으로, 원자층 증착법(Atomic Layer Deposition; ALD)과 플라즈마 인가 원자층 증착법(Plasma Enhanced Atomic Layer Deposition; PEALD)을 교대로 실시하면서 박막을 형성하되 실시 비율을 조절하여 박막의 증착 속도, 조밀도 및 이와 관련된 굴절율, 유전상수, 전기저항 등의 물리적 특성을 예측 및 제어할 수 있는 반도체 소자의 박막 형성 및 그 제어 방법이 개시된다.

【대표도】

도 1

【색인어】

ALD, PEALD, 증착속도, 물성

【명세서】

【발명의 명칭】

반도체 소자의 박막 형성 및 그 제어 방법{Method of forming and controlling a thin film in a semiconductor device}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.

도 2는 본 발명의 제2 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.

도 3은 박막 형성 방법에 따른 증착 속도를 비교하기 위한 특성 그래프이다.

도 4는 본 발명의 제4 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.

도 5는 본 발명의 제5 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.

도 6은 박막 형성 방법에 따른 물리적 특성을 비교하기 위한 특성 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

1 : PEALD법만으로 박막을 형성할 경우의 반복 실시 회수에 따른 두께 관계를 나타낸 그래프

2 : ALD법만으로 박막을 형성할 경우의 반복 실시 회수에 따른 두께 관계를 나타낸 그래프

1020020075213

3 : ALD법 및 PEALD법을 교대로 반복 실시하면서 박막을 형성할 경우의 반복 실시 회수에 따른 두께 관계를 나타낸 그래프

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자의 박막 형성 및 그 제어 방법에 관한 것으로, 특히 박막의 성장 속도, 조밀도, 두께 및 물성을 제어할 수 있는 반도체 소자의 박막 형성 및 그 제어 방법에 관한 것이다.

<12> 반도체 소자가 고집적화 되어 감에 따라, 반도체 및 디스플레이용으로 활용되는 박막 제조 공정은 얇아지면서도 우수한 물성을 가진 박막의 공정 개발에 초점을 맞추어 진행되고 있다. 이러한 요구를 충족시키기 위한 증착법으로 원자층 증착법(Atomic Layer Deposition; ALD)이 각광을 받고 있으며, 원자층 증착법은 단차 도포성(Step coverage)이 우수하고 대면적 기판에 원자층이 균일하게 증착되며 반복 실시 횟수인 박막의 두께를 조절할 수 있다는 장점이 있다.(Applied Surface Science, 107, pp128 (1996) Journal of the Electrochemical Society, 149(6), pp C306 (2002)).

<13> 또한, 원자층 증착 공정은 전구체의 분해온도 이하에서 이루어지므로, 저온 공정이 가능하고 공정온도와 공정압력 등의 공정변수에 덜 민감하다. 더욱이, 결정성이 우수한 박막을 얻을 수 있다는 장점도 가지고 있다.

1020020075213

<14> 하지만, 상기의 장점에 비하여 원자층 증착법은 전구체와 반응가스를 분리해서 공급해야 하고, 전구체나 반응가스를 공급하기 전에 챔버 내부를 정화하는 퍼지 단계가 필요하며, 이러한 단계들로 이루어진 하나의 사이클 단계를 반복 실시하여 목표 두께의 박막을 형성하므로 공정시간이 길다는 단점이 있다. 또한, 전구체와 반응가스 사이의 반응 온도범위가 저온에서 존재해야 하므로, 반응 속도를 높여 반응 온도범위를 넓혀야 한다

<15> 이러한 단점을 해결하기 위하여 플라즈마를 인가하는 방법을 원자층 증착법에 도입하였는데, 이를 플라즈마 인가 원자층 증착법(Plasma Enhanced Atomic Layer Deposition; 이하 'PEALD')이라 한다. PEALD는 ALD의 장점을 그대로 유지하면서 증착속도를 높여 공정시간을 줄이고, 반응가스의 반응도를 높여서 공정 온도범위를 넓히며 보다 조밀한 박막을 얻을 수 있다.

<16> Al_2O_3 와 같은 산화물의 경우 200°C 의 온도에서 PEALD 방식으로 증착한 박막의 증착속도가 ALD에 비하여 약 1.5 배 향상되었고, 조밀도도 우수하였으며, 다른 보고에 의하면 Ta_2O_5 박막의 경우 PEALD 방식은 종래의 방식보다 높은 유전상수와 전기절연특성을 보이기도 하였다.(Electrochemical and Solid-State Letters, 4(7), pp F13 (2001)).

<17> 이러한 증착속도와 박막 조밀도의 차이는 증착 메커니즘과 막의 적층 방식에서 발생하는 것으로 사료되지만 이에 관한 연구결과는 거의 전무한 것이 사실이다.

【발명이 이루고자 하는 기술적 과제】

<18> 이에 대하여, 본 발명은 원자층 증착법(Atomic Layer Deposition; ALD)과 플라즈마 인가 원자층 증착법(Plasma Enhanced Atomic Layer Deposition; PEALD)을 교대로 실시

하면서 박막을 형성하되 실시 비율을 조절하여 박막의 증착 속도, 조밀도 및 이와 관련된 굴절율, 유전상수, 전기저항 등의 물리적 특성을 예측 및 제어할 수 있는 반도체 소자의 박막 형성 및 그 제어 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <19> 본 발명의 실시예에 따른 반도체 소자의 박막 형성 및 그 제어 방법은 기판 상부에 원자층 증착법을 한 사이클만 실시하여 기본 단위 두께의 박막을 형성하는 단계 및 기판 상부에 플라즈마 인가 원자층 증착법을 한 사이클만 실시하여 기본 단위 두께의 박막을 형성하는 단계를 교대로 반복 실시하여 목표 두께의 박막을 형성한다.
- <20> 상기에서, 원자층 증착법 및 플라즈마 인가 원자층 증착법의 반복 실시 비율을 $N:M$ (N, M 은 정수)으로 조절하여 박막의 증착 속도 및 물성을 조절할 수 있다.
- <21> 한편, 원자층 증착법 및 플라즈마 인가 원자층 증착법은 서로 다른 반응 가스를 사용할 수 있으며, 서로 다른 전구체를 사용할 수도 있다.
- <22> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

- <23> 도 1은 본 발명의 제1 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이고, 도 2는 본 발명의 제2 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.
- <24> 도 1을 참조하면, 본 발명의 실시예에 따른 반도체 소자의 박막 형성 방법은 원자층 증착법(Atomic Layer Deposition; 이하 ALD법)과 플라즈마 인가 원자층 증착법(Plasma Enhanced Atomic Layer Deposition; 이하 PEALD법)을 교대로 실시하면서 박막을 형성한다.
- <25> ALD법은 증착 장비 내부로 전구체를 공급하여 기판의 표면에 흡착시키는 제 1 단계(A), 기판에 흡착되지 않고 반응기 내부에 잔류하는 전구체를 제거하여 정화하는 제 2 단계(B), 제1 반응 가스를 공급하고 전구체와 반응시켜 원자층 박막을 형성하는 제 3 단계(C) 및 전구체와 반응하지 않은 제1 반응 가스 및 반응 부산물을 제거하여 정화하는 제 4 단계(D)를 한 사이클로 하면서 반복 진행된다.
- <26> PEALD법은 증착 장비 내부로 전구체를 공급하여 기판의 표면에 흡착시키는 제 1 단계(A'), 기판에 흡착되지 않고 반응기 내부에 잔류하는 전구체를 제거하여 정화하는 제 2 단계(B'), 플라즈마를 발생시키면서 제2 반응 가스를 공급하고 전구체와 반응시켜 원자층 박막을 형성하는 제 3 단계(C') 및 전구체와 반응하지 않은 제2 반응 가스 및 반응 부산물을 제거하여 정화하는 제 4 단계(D')를 한 사이클로 하면서 반복 진행된다.
- <27> 한편, 또 다른 실시예로써, 상기에서는 ALD법과 PEALD법을 실시할 때 서로 다른 반응 가스를 사용하였으나, 도 2에서와 같이, 동일한 반응 가스를 사용할 수도 있다. 또한, 전구체도 동일한 전구체를 사용하거나 서로 다른 전구체를 사용할 수도 있다.

<28> 상기에서와 같이, 본 발명은 최소단위의 박막을 형성하는 하나의 사이클이 8단계(A 내지 D 및 A' 내지 D')로 이루어지며, 이러한 ALD법과 PEALD법의 불연속적인 증착속도와 물리적 특성의 차이에 착안하여 PEALD법 및 ALD법의 반복 실시 비율을 조절함으로써 박막의 증착속도와 물리적 특성을 제어할 수 있다. 따라서, 이를 이용하여 동일 박막에 대해서도 원하는 두께와 물성을 제어할 수 있고, 이를 정확히 예측할 수 있다는 장점이 있다. 또한, 이러한 조밀도의 변화는 불순물의 농도 및 격자의 공공(Vacancy)의 변화가 연속적으로 이루어짐을 관찰하여 이와 관련된 연구수행에 도움을 줄 것이며 PEALD와 ALD의 증착 메커니즘을 밝힐 수 있는 단서를 제공할 것이다.

<29> 도 3은 박막 형성 방법에 따른 증착 속도를 비교하기 위한 특성 그래프이다.

<30> 도 3을 참조하면, 직선 1은 임의의 온도에서 PEALD법만으로 박막을 형성할 경우에 반복 실시 회수에 따른 두께의 관계를 나타낸 그래프이고, 직선 2는 임의의 온도에서 ALD법만으로 박막을 형성할 경우에 반복 실시 회수에 따른 두께의 관계를 나타낸 그래프이다. 만일, ALD법과 PEALD법을 1:1의 비율로 교대로 실시하면서 박막을 형성하다면 직선 3이 실시 회수에 따른 두께의 관계를 나타낸 그래프가 된다.

<31> 도 4는 본 발명의 제4 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이고, 도 5는 본 발명의 제5 실시예에 따른 반도체 소자의 박막 형성 방법을 설명하기 위한 레시피도이다.

<32> 도 4 및 도 5를 참조하면, ALD법과 PEALD법을 2:1의 비율이나 1:2의 비율로 반복 실시하면서 박막을 형성할 수도 있다. 이렇게, ALD법과 PEALD법을 실시하는 비율을 2:1 또는 1:2 등으로 조절하면, 도 3에서, 직선 3이 직선 1이나 직선 2쪽으로 이동되는 것을 알 수 있다. 여기서, 반복 실시 비율은 목표 물성에 따라 더 크게 조절 할 수 있으며,

임의로 조절 가능하다. 이러한 결과는 본 발명을 적용하더라도 두께가 사이클 수에 비례하는 ALD법의 특징을 그대로 유지함을 시사한다.

<33> 한편, 같은 2:1의 비율이라도 도 5에서와 같이 그 순서를 다르게 배치할 수 있으며, 마찬가지로 같은 1:2의 비율이라도 도 6에서와 같이 그 순서를 다르게 배치할 수 있다. 이렇게 같은 비율이라도 배치를 다르게 하면 박막의 물리적 특성에 약간의 영향을 가져올 수 있다. 따라서, 이러한 배치도 원하는 물리적 특성에 따라 조절할 수 있다. 이렇게, ALD법과 PEALD법을 교대로 실시하면서 박막을 형성하면, ALD법만으로 형성된 박막과 PEALD법만으로 형성된 박막의 증착속도 및 제반 물리적 특성 결과들의 중간값 혹은 그 이상, 그 이하의 값들을 얻을 수 있으며, 실시 비율을 조절하면 증착 속도 및 물리적 특성도 원하는 목적에 맞게 조절할 수 있다.

<34> 예로써, Al_2O_3 박막을 250℃에서 증착했을 때 ALD법보다 PEALD법으로 증착하는 경우의 증착속도가 더 빠르다. 그리고, ALD법과 PEALD법을 1:1의 비율로 반복 실시하여 박막을 형성한 경우에는 ALD법이나 PEALD법만으로 형성한 경우들의 중간값에 해당하는 증착속도를 갖는다. 여기서, ALD법으로 증착하는 경우는 물을 반응가스로 사용하고, PEALD법으로 증착하는 경우는 산소 플라즈마를 사용하였는데, 반응 메커니즘의 차이로 인해 흡착 사이트의 분포에도 영향을 주며 박막의 조밀도에서도 차이가 발생한다. 하지만, 교대로 실시하여 박막을 형성할 경우에는 이러한 흡착 사이트의 분포가 혼합되는 양상으로 나타나며, 혼합비를 조절하면서 변화시키면 이러한 흡착 및 반응 사이트도 연속적인 변화를 보인다.

1020020075213

<35> 산화물 박막의 경우에는 플라즈마를 인가하여 원자층 증착법을 시행하였을 때 증착 속도가 개선되는 것뿐만 아니라 보다 조밀하고 절연파괴전압이 높은 박막이 얻을 수 있다.

<36> 도 6은 박막 형성 방법에 따른 물리적 특성을 비교하기 위한 특성 그래프이다.

<37> 도 6을 참조하면, 증착속도(두께)뿐 아니라 박막의 조밀도 또한 그와 관련된 굴절율, 유전상수, 비저항 등의 물리량에 대하여 PEALD 방법과 ALD 방법이 차이를 보이므로 혼합비를 조절하여 이 둘 값의 사이에서 연속적인 값의 변화를 구현해 낼 수 있음을 알 수 있다. 또한, 이러한 방법으로 원하는 물성을 갖는 박막을 형성하는 공정의 신뢰성 재현성을 확보할 수 있게 된다.

【발명의 효과】

<38> 상술한 바와 같이, 본 발명은 ALD 방법과 PEALD 방법을 교대로 실시하면 박막을 형성하되, 반복 실시 비율을 조절함으로써, 박막의 증착 속도, 조밀도 및 이와 관련된 굴절율, 유전상수, 전기저항 등의 물리적 특성을 예측 및 제어할 수 있어 공정의 신뢰성 및 재현성을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상부에 원자층 증착법을 한 사이클만 실시하여 기본 단위 두께의 박막을 형성하는 단계; 및

상기 기판 상부에 플라즈마 인가 원자층 증착법을 한 사이클만 실시하여 기본 단위 두께의 박막을 형성하는 단계를 교대로 반복 실시하여 목표 두께의 박막을 형성하는 것을 특징으로 하는 반도체 소자의 박막 형성 및 그 제어 방법.

【청구항 2】

제 1 항에 있어서, 상기 원자층 증착법 및 상기 플라즈마 인가 원자층 증착법의 반복 실시 비율을 $N:M$ (N, M 은 정수)으로 조절하여 상기 박막의 증착 속도 및 물성을 조절하는 것을 특징으로 하는 반도체 소자의 박막 형성 및 그 제어 방법.

【청구항 3】

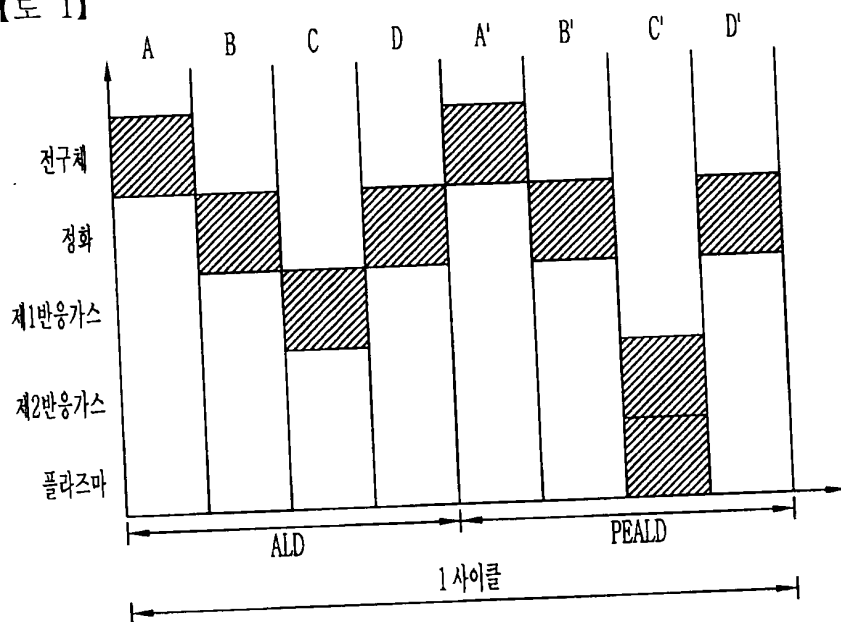
제 1 항에 있어서, 상기 원자층 증착법 및 상기 플라즈마 인가 원자층 증착법은 서로 다른 반응 가스를 사용하는 것을 특징으로 하는 반도체 소자의 박막 형성 및 그 제어 방법.

【청구항 4】

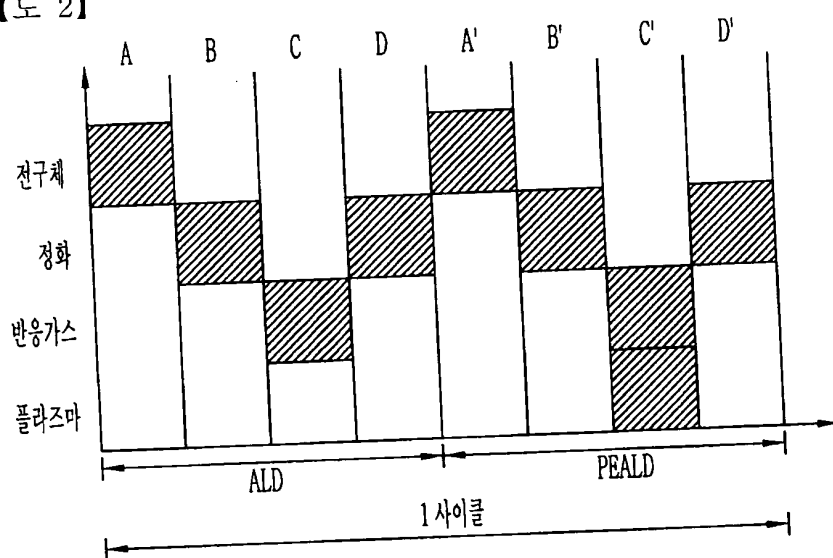
제 1 항에 있어서, 상기 원자층 증착법 및 상기 플라즈마 인가 원자층 증착법은 서로 다른 전구체를 사용하는 것을 특징으로 하는 반도체 소자의 박막 형성 및 그 제어 방법.

【도면】

【도 1】



【도 2】

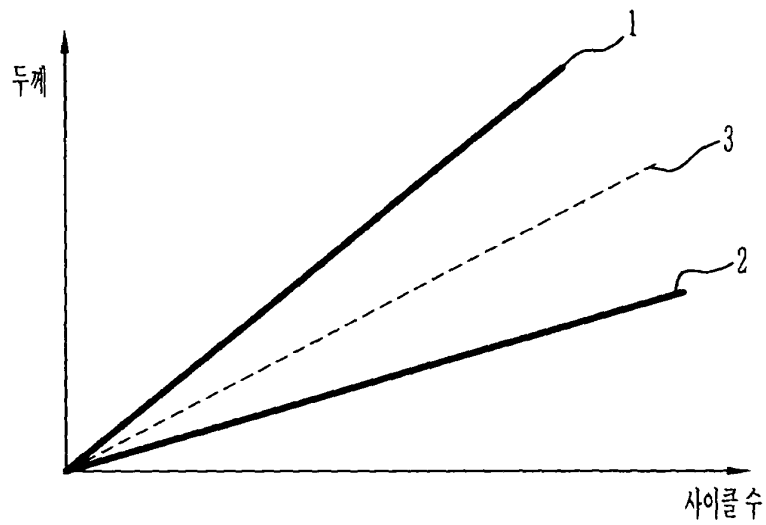




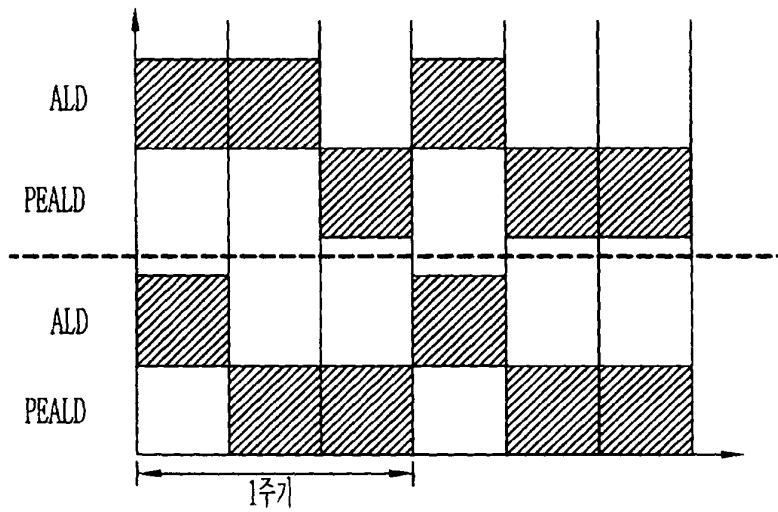
1020020075213

출력 일자: 2003/5/13

【도 3】

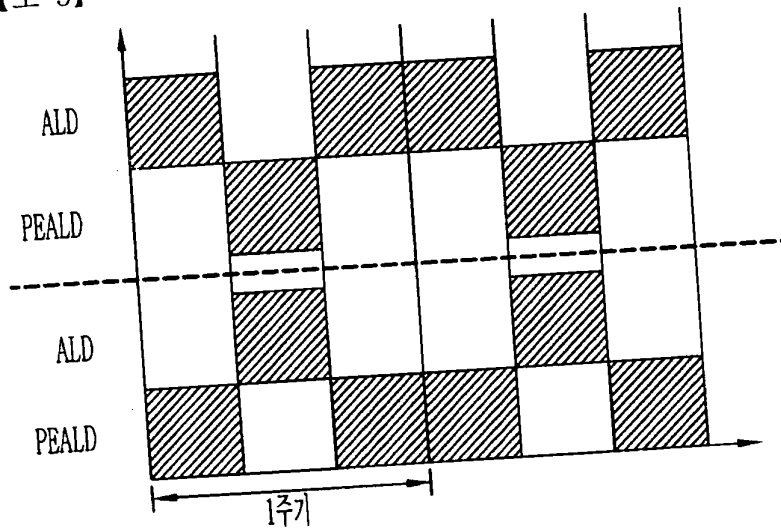


【도 4】



1020020075213

【도 5】



【도 6】

